



(19)

(11) Publication number: 2001160590 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11341076

(51) Intl. Cl.: H01L 21/768 H01L 21/3205

(22) Application date: 30.11.99

(30) Priority:

(43) Date of application
publication: 12.06.01(84) Designated
contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: YAMAGAMI AKIRA
OTSUKA TOSHIYUKI
HOSODA TSUTOMU

(74) Representative:

(54) METHOD OF FORMING
WIRING AND METHOD OF
MANUFACTURING
SEMICONDUCTOR DEVICE

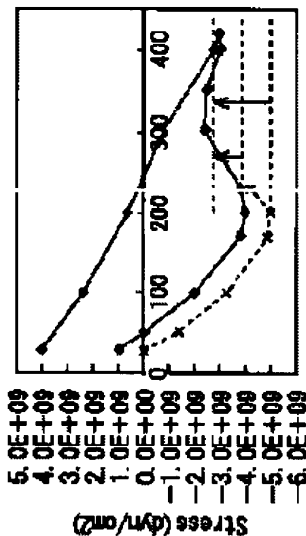
(57) Abstract:

PROBLEM TO BE SOLVED: To improve the yield of a low-resistance multilayered wiring while the wiring is formed in forming the wiring through a short-time manufacturing process by applying the plating method to the damascene method, and to improve the reliability of the wiring when the wiring is in use.

SOLUTION: In forming wiring 36 on wiring 23 formed by filling up wiring grooves 19 with plated Cu films 22 by filling up via holes 30 and wiring grooves 33 with plated Cu films 35 through the via holes 30, low-temperature annealing is performed immediately after the Cu films 22 and 35 which become the material films of the wiring 23 and 36 are formed. At the same time, the processing temperatures in various processes including the H₂ plasma treatment performed after the wiring 23 and 36 are formed by CMP, and the continuous formation of interlayer insulating films 25 and 38 are controlled to a prescribed low temperature or lower.

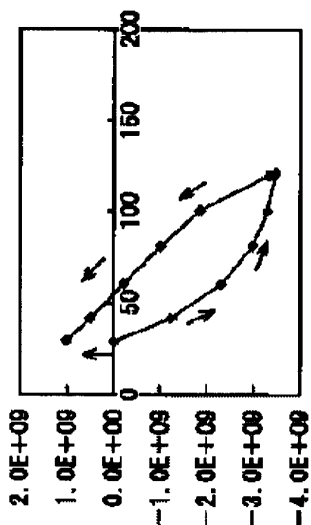
COPYRIGHT: (C)2001,JPO

—●— Cuメッキ後加熱有 --x-- Cuメッキ後加熱無



Temp. (°C)

(b) 多層プロセス中の熱処理



Temp. (°C)

(a) Cuメッキ後の熱処理

Cuメッキ後の熱処理によるCuのストレス変化の例

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-160590

(P2001-160590A)

(43) 公開日 平成13年6月12日 (2001.6.12)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/768

H 0 1 L 21/90

P 5 F 0 3 3

21/3205

21/88

K

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号

特願平11-341076

(22) 出願日

平成11年11月30日 (1999. 11. 30)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 山上 朗

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 大塚 敏志

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100090273

弁理士 國分 孝悦

最終頁に続く

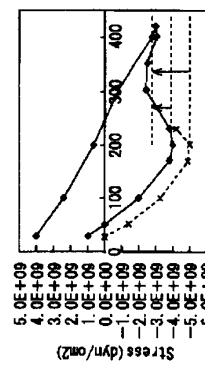
(54) 【発明の名称】 配線の形成方法及び半導体装置の製造方法

(57) 【要約】

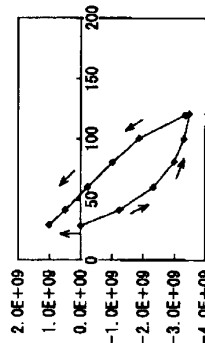
【課題】 ダマシン法にメッキ法を適用して短時間の製造プロセスで低抵抗の多層配線を形成するに際して、形成過程における歩留まり及び実使用中での信頼性を大幅に改善する。

【解決手段】 配線溝19にメッキCu膜22を充填してなる配線23上に、ビア孔30を介して当該ビア孔30及び配線溝33にメッキCu膜35を充填してなる配線36を形成するに際して、配線23、36の材料膜となるメッキCu膜22、35を形成した直後に低温アニール処理を施すとともに、CMPにより配線23、36を形成した後のH₂プラズマ処理及びそれに引き続く層間絶縁膜25、38を含む諸工程の処理温度を所定の低温度以下に制御する。

Cuメッキ後の熱処理によるCuのストレス変化の例



(b) 多層プロセス中の熱処理



(a) Cuメッキ後の熱処理

Cuメッキ後の熱処理によるCuのストレス変化の例

【特許請求の範囲】

【請求項1】 半導体基板の上層に形成された第1の絶縁膜に所定の配線溝を形成する工程と、
前記配線溝を埋め込むように金属膜をメッキ形成する工程と、
前記金属膜を研磨し、前記配線溝内のみを充填するように前記金属膜を残して配線を形成する工程と、
少なくとも前記配線上に第2の絶縁膜を形成する工程とを含む、

前記金属膜の形成直後に当該金属膜に所定温度の熱処理を施すとともに、前記第2の絶縁膜の形成温度を含む前記配線形成後の諸工程の処理温度を所定の低温度以下に制御することを特徴とする配線の形成方法。

【請求項2】 前記金属膜の形成直後における前記熱処理の前記所定温度を80℃～200℃の範囲内の温度とすることを特徴とする請求項1に記載の配線の形成方法

【請求項3】 前記配線形成後の諸工程の処理温度を400℃以下とすることを特徴とする請求項1に記載の配線の形成方法

【請求項4】 少なくとも前記各工程を含む一連のプロセスを経て、前記配線を形成した後、
形成された前記配線と開孔を通じて電気的に接続されるように、前記一連のプロセスを所定回数繰り返して、多層配線を形成することを特徴とする請求項1に記載の配線の形成方法

【請求項5】 半導体基板上に所定の半導体素子を形成し、前記半導体素子の層に当該半導体素子と電気的に接続するように配線を形成する半導体装置の製造方法であって、
前記配線を形成するに際して、
前記半導体素子の層に形成された第1の絶縁膜に所定の配線溝を形成する工程と、
前記配線溝を埋め込むように低抵抗の金属膜をメッキ形成する工程と、
前記金属膜を研磨し、前記配線溝内のみを充填するように前記金属膜を残して配線を形成する工程と、
少なくとも前記配線上に第2の絶縁膜を形成する工程とを含む、
前記金属膜の形成直後に当該金属膜に所定温度の熱処理を施すとともに、前記第2の絶縁膜の形成温度を含む前記配線形成後の諸工程の処理温度を所定の低温度以下に制御することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、いわゆるダマシン法により絶縁膜の溝内に配線を充填形成する方法及びこの配線を備えた半導体装置の製造方法に関し、特にデュアルダマシン法により形成する多層配線に適用して好適である。

【0002】

【従来の技術】 従来の半導体装置の配線技術においては、Al合金を配線材料として用い、ドライエッチング法によりバターン形成していた。ところが近年では、半導体装置の更なる微細化・高速駆動化が要求されており、より低抵抗且つ高電流密度の配線材料が要求され、しかも形成時の総処理時間の短縮化が要求される。これに 대응するため、配線材料としてはAl合金の代わりに例えばCuが用いられ、処理法としてはダマシン法の適用が検討されている。即ち、Cu配線を形成する場合、エッチング法ではエッチャント及び水分の影響でコロージョンが発生し形成が困難となることから、絶縁膜の溝内に金属（メタル）を埋め込み、研磨することで溝の中のみメタルを残す、いわゆるダマシン法を用いて配線を形成する必要がある。この方法は、B.Luther等により、“PLANAR COPPER-POLYIMIDE BACK END THE LINE INTER CONNECTIONS FOR VLSI DEVICES” Proceedings of 10th International VMIC, P15-21, 1993 で報告されている。

【0003】 特に、更なる工程短縮を実現するには、いわゆるダマシン法により下部配線溝を充填する下部配線を形成した後、上下で隣接する配線間を接続するビア孔と上部配線を形成するための上部配線溝を形成した後、上部配線溝とビア孔に同時にメタルを埋め込んで研磨する、いわゆるデュアルダマシン法により多層配線を形成する必要がある。この方法は、インターナショナル・ビジネス・マシーン・コーポレーション（IBM）より特開平10-143914号公報などに開示されている。デュアルダマシン法を用いる場合、従来用いていたような埋め込み性能の劣るスパッタ法によるメタルの堆積では、絶縁膜の配線溝内へのメタルの埋め込みが困難であり、従来のスパッタ法に代わりメッキ法により配線材料の堆積を行なう必要がある。

【0004】

【発明が解決しようとする課題】 メッキ法により堆積されたメタルは、スパッタ法により堆積するメタルに比して、堆積直後の状態がアモルファスとなり、多くのホイドを含んでいる。半導体装置の配線として2層以上の多層配線を形成した場合には、形成過程においてCu表面にて酸化を還元するための水素を含んだ雰囲気におけるアニール処理が必要であるが、このアニールによりメタル構造が変化するため、配線内やビア孔内でメタル中のホイドの凝集やメタル自身の体積の縮小が発生する。これに起因して、形成過程で断線が生じて未留まりの低下を招来したり、実使用中でストレスマイグレーションが生じて重大な故障を引き起こされるという問題がある。

【0005】 具体的に、試験的にデュアルダマシン法によりCuを材料とする2層配線を形成し、2000個のチェーンコンタクトパターンで各々接続するに際して、Cu表面にパッシベーションを施す前に、Cu研磨後の

表面浄化にH₂アニール(350℃、30分)を用いた場合の前記パターンへの歩留まりを調べた。その結果を図10に示す。チェーンのボテテ形状が0.3(幅:W)×2.0(長さ:L) μ mの場合、コンタクトの歩留まりは99%以上であるが、チェーンのボテテ形状が1.0(幅)×2.0(長さ) μ mの場合にはコンタクトの歩留まりが95%以下に低下することがわかる。この変化は信頼性試験において顕著となる。同パターンの信頼性試験における200℃の温度下での放置試験の結果を図11に示す。ボテテ形状が前者のパターンにおいては全く劣化が見られない(プロットできないため、図中には表示していない)のに対して、後者のパターンにおいては1000時間以下ではほぼ100%の磨耗故障を示している。

【0006】この点、配線溝の埋め込みを改善するために上層にCVD法でキャップするプロセスや、特開平8-30391号公報による高圧リフローによる埋め込みの改善を図るプロセス等が知られているが、何れもプロセス中の埋め込みの改善やエレクトロマイグレーションの改善を目的としており、プロセス中のビア孔の不良やビア孔のストレスマイグレーションに対する報告は無い。

【0007】このように従来では、デュアルタマシ法を用いて多層配線をタマシ形成することにより、短時間の製造プロセスで低抵抗の多層配線を形成することが可能となる反面、形成過程の断線発生による歩留まりの低下や、実使用時のストレスマイグレーション等による信頼性の低下を招来するという深刻な問題が未解決な現況にある。

【0008】そこで本発明は、タマシ法にタマシ法を適用して短時間の製造プロセスで低抵抗の多層配線を形成するに際して、形成過程における歩留まり及び実使用中での信頼性を大幅に改善する配線の形成方法及び当該配線を備える半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、前記課題を解決するため、以下に示す諸態様を有する。

【0010】第1の態様は、配線の形成方法であって、半導体基板の上層に形成された第1の絶縁膜に所定の配線溝を形成する工程と、前記配線溝を埋め込むように金属膜をタマシ形成する工程と、前記金属膜を研磨し、前記配線溝内のみを充填するように前記金属膜を残して配線を形成する工程と、少なくとも前記配線上に第2の絶縁膜を形成する工程とを含み、前記金属膜の形成直後に当該金属膜に所定温度の熱処理を施すとともに、前記第2の絶縁膜の形成温度を含む前記配線形成後の諸工程の処理温度を所定の低温度以下に制御することを特徴とする。

【0011】前記第1の態様において、前記金属膜の形

成直後における前記熱処理の前記所定温度を80℃～200℃の範囲内の温度とすることが好適である。

【0012】前記第1の態様において、前記配線形成後の諸工程の処理温度を100℃以下とすることが好適である。

【0013】前記第1の態様において、前記配線を多層配線として形成するに際して、少なくとも前記各工程を含む一連のプロセスを経て、前記配線を形成した後、形成された前記配線と開孔を通じて電気的に接続されるように、前記一連のプロセスを所定回数繰り返して、多層配線を形成することが好適である。

【0014】第2の態様は、半導体装置の形成方法であって、半導体基板上に形成される配線を前記第1の態様により形成することを特徴とする。

【0015】

【作用】本発明では、タマシ法にタマシ法を適用して配線を形成するに際して、配線材料である金属膜形成直後に低温熱処理を施し、更にそれに加え、配線溝内のみ金属膜を残して配線形成する研磨を施した後の層間絶縁膜の形成工程を含む諸工程を所定の低温度に制御して行なう。ここで、前記低温熱処理の工程を省略して配線形成後の諸工程を所定の低温度に制御して行った場合、製造時における配線の歩留まりは改善されるものの、実使用時におけるストレスマイグレーション等の緩和はみられない。そこで、上記の如く前記低温熱処理の工程と配線形成後の諸工程の低温度制御を併用することにより、その後の諸熱処理に起因するストレス量が緩和され、配線中のボイドの形成や体積減少が抑止されて信頼性の大幅な向上が実現する。

【0016】

【発明の実施の形態】以下、本発明を適用した具体的な実施形態について図面を参照しながら詳細に説明する。

【0017】(本実施形態の主要構成による機能) 先ず、本発明の配線の形成方法を構成する各工程のうち、本発明の主要特徴をなす工程の機能について説明する。

【0018】本実施形態では、いわゆるデュアルタマシ法にタマシ法を適用して多層配線を形成する方法を主要構成として開示する。本例では、例えば図2～図8を参照すれば、第1の配線溝19にタマシCu膜22を充填してなる第1の配線23上に、ビア孔30を介して当該ビア孔30及び第2の配線溝33にタマシCu膜35を充填してなる第2の配線36を形成する。

【0019】ここで、本実施形態の主要構成は、第1及び第2の配線23、36の材料膜となるタマシ金属膜(Cu膜22、35)を形成した直後に低温アニール処理を施すこと(以下、条件1とする。)と、CMPにより第1及び第2の配線23、36を形成した後のH₂プラズマ処理及びそれに引き続く層間絶縁膜25、38を含む諸工程の処理温度を所定の低温度以下に制御すること(以下、条件2とする。)である。

【0020】—条件1の機能—

以下、条件1の機能について、定量的考察を交えて説明する。図1は、タッキCu膜に加熱の温度を変えて測定したストレス変化を示す特性図である。x軸に温度、y軸にストレスを示している。昇温、降温の方向を矢印で示す。

【0021】図1(a)は、Cuタッキ後に120℃まで上昇させ、室温まで戻したときのストレスの変化を示しており、図1(b)は、プロセス中の最大温度を仮定し、420℃まで変化させ室温まで戻したときのストレス変化を示す。図中には本例に示す条件1(タッキ後アニール)の有無を示している。室温から420℃に昇温する過程で、200℃までは熱膨張に従って拡散クリープのためにストレス変化が見られ、200℃以上からCuの早い拡散のためにストレスが緩和される減少が見られる。ここで、生じた緩和は室温に戻した場合でも保持され、室温状態では逆のストレスとなる。

【0022】Cu配線は、絶縁膜成長時に要する熱処理により図1(b)に示すような熱ストレスを受けている。熱ストレスによりCu構造が変化し、Cu配線の内部にボイドや体積縮小等が生じることが、配線及びビア孔におけるボイド形成のトライビングフォースとなっている。

【0023】図1(a)に示すように、タッキCu膜の堆積直後に当該Cu膜に対してCuの早い拡散が生じる200℃温度以下で熱処理を行うと、タマシ法による配線内部でCuが膨張しつつ、Cuのグレイン成長及びボイド析出が促進する。その後、室温に戻った状態では、Cuの緻密化とストレスの緩和が起こっている。ここでは、CMP研磨し終わった部分が収縮するが、研磨後の配線内部における体積は維持されている。

【0024】図1(a)に示すように、Cuタッキ後のCu膜は、熱処理により -1.0×10^5 dyn/cm²以上あたりまで一方向(熱膨張)に増加するが、温度を下げる過程で 1.0×10^5 dyn/cm²程度+方向にストレスが増加(体積の収縮)する。この変化は以下のことを示唆する。120℃でCuが膨張した状態でボイド析出と結晶粒成長が行われている段階では、Cuとバリアメタルの密着性は良好に保たれている。この後、室温に戻す過程で体積の収縮した分だけストレス変化が生じる。

【0025】実際の多層配線形成プロセスでは、更にこの後に絶縁膜等の成長時における熱処理の影響を考慮する必要がある。この条件1によるCuタッキ直後の200℃以下の熱処理を行わない場合には、400℃まで上昇する過程で -5.0×10^5 dyn/cm²程度までストレス変化する。200℃まで温度が上昇するとCuの早い拡散によりストレスの緩和が発生する。この過程においてボイドの析出により、ビア孔の内部での断線が発生している。タッキCu直後の熱処理を低温で行って

おくことにより、図1(b)に示すように、その後の熱処理によるストレス量の変化が緩和され、多層配線形成プロセス中の熱処理によるボイドの形成及び体積の縮小が生じ難くなることがわかる。

【0026】Cuタッキ後に室温で放置した場合でも、グレインの成長が見られることが知られているが、この場合にはボイド形成を抑制する作用は見られない。これは先に示した、120℃で熱処理したときのストレス変化を起こすような緻密化が生じないためによるものと考えられる。

【0027】以上の考察から、条件1におけるCuタッキ膜形成直後の熱処理によりストレス量の変化が緩和され、実使用時における信頼性の向上を実現できることがわかる。この場合、熱処理の適正温度範囲としては、室温に戻した際に収縮によるストレス変化の見られる80℃以上で、且つ早い拡散の発生しない200℃以下が好適であり、ストレス変化の抑制を著効して1分程度の短時間で行なうことが好ましい。

【0028】—条件2の機能

条件2は、言わば条件1の機能を補完するものである。条件1の考察からも、Cuタッキ膜のCMPによる配線形成後の層間絶縁膜形成に必要なアニールを代表とする諸熱処理において、各処理温度を400℃以下に制御すれば、ストレス量の変化が緩和されることが示唆される。なお、本例の例えは図2～図8において、第1及び第2の配線23、36のCu表面を浄化するための工程等は、如アニールのようにサーマルバジェットの大さく処理を行うと効果が減少するので避けることが望ましい。但し、エッチングダメージを除去するための最終アニールはプロセスの終わりに適切な温度及び時間で行うようにし、多層配線形成の各工程でのサーマルバジェットの低減化を図ることが望ましい。

【0029】—条件1と条件2の関係—

従来のデュアルタマシ法にタッキ法を適用したCu多層配線の形成方法に条件2のみを付加した実験を行なった。即ち、CMPによる配線形成後のアニールを行わず、層間絶縁膜形成時の処理温度を下げて(全て400℃以下)多層配線を形成し、形成時の歩留まり及び実使用時の信頼性を調べたところ、歩留まりの向上はみられたが、信頼性の回復は認められなかった。

【0030】そこで、従来のCu多層配線の形成方法に条件1及び条件2の双方を付加した実験を行なったところ、歩留まりの向上に加えて信頼性の大幅な回復が認められた。

【0031】このことから、条件1及び条件2の双方が相まって、高い歩留まり及び信頼性を確保しつつ、短時間の製造プロセスで低抵抗の多層配線を形成することが可能となることがわかる。

【0032】(多層配線の形成方法) 続いて、前述の条件1、2を備えた本発明の主要構成をなす多層配線の形

成方法について説明する。図2～図8は、デュアルタマシ法にメッキ法を適用して多層配線（ここでは2層）を形成する工程を順に示す概略断面図である。

【0033】先ず、図2（a）に示すように、半導体基板（不図示）を覆うように層間絶縁膜11を堆積形成した後、層間絶縁膜11に下層配線と通じるビア孔12を開孔形成する。次に、ビア孔12の内壁を覆うようにTiN等の下地膜13を形成し、ビア孔12を埋め込む膜厚にW膜を堆積形成して、このW膜を化学機械研磨（CMP）してビア孔12のみにWが充填されてなるWプラグ14を形成する。

【0034】続いて、図2（b）に示すように、層間絶縁膜11及びWプラグ14上にSi₃N₄膜15を膜厚30nm程度に形成する。次に、Si₃N₄膜15上にFSG（fluoro-silicate glass）からなる層間絶縁膜16を膜厚500nm程度に堆積形成した後、フォトリソグラフィの露光に対する反射防止膜17を形成する。

【0035】続いて、図2（c）に示すように、フォトリソレジスト18を塗布し、フォトリソグラフィによりフォトリソレジスト18を加工して、各Wプラグ14上で開口する配線溝パターン18aを形成する。次に、フォトリソレジスト18をマスクとし、Si₃N₄膜15をエッチングストッパとして、反射防止膜17及び層間絶縁膜16をドライエッチングする。

【0036】続いて、図2（d）に示すように、フォトリソレジスト18を灰化処理等により除去した後、更にSi₃N₄膜15をドライエッチングして層間絶縁膜11及び各Wプラグ14の表面を露出させ、配線溝パターンに倣った第1の配線溝19を形成する。

【0037】続いて、図3（a）に示すように、半導体基板にH₂を含むプラズマ処理、ここではNH₃プラズマ処理を施して第1の配線溝19内を洗浄する。ここで、前記プラズマ処理としてはNH₃ガスの代わりにH₂ガス、N₂—H₂混合ガス、H₂—Ar混合ガス等を用いてもよい。

【0038】続いて、図3（b）に示すように、RF処理として逆スパッタを熱酸化膜の膜厚換算で10nm程度行って層間絶縁膜11を洗浄した後、Ti—Nからなるバリアメタル膜20を膜厚25nm程度に、更にシート金属膜としてCu膜21を膜厚200nm程度にクラスター化されたスパッタ装置により真空中で連続的に堆積形成する。ここで、RF処理とバリアメタル膜20及びCu膜21の形成は真空中で連続的に行なうことが望ましい。

【0039】続いて、図3（c）に示すように、バリアメタル20を電極として、メッキ法により第1の配線溝19内を埋め込む膜厚、ここでは1μm程度にCu膜22を形成する。

【0040】続いて、図3（d）に示すように、Cu膜

22のメッキ形成直後に酸素雰囲気で満たされたホットプレート上で80℃～200℃の低温、ここでは150℃で1分間の加熱処理を行う。この処理により、後述するようにCu膜22のストレス変化及びCuのグレイン成長を促進させる。ここで、加熱処理としてはホットプレートを用いたバーク法以外にも、CVD装置を用いたり、ランプやレーザー等を用いても良い。

【0041】続いて、図4（a）に示すように、ダメージ法によるCu膜22の分離のため、CMP法によりCu膜22（21）及びバリアメタル膜20を研磨して第1の配線溝19内のみにCu膜22を残した後、ウェット処理により洗浄して第1の配線23を形成する。次に、H₂を含むプラズマ処理、ここではNH₃プラズマ処理を400℃以下の低温で短時間、ここでは350℃で30秒間行い、露出した第1の配線23の表面を洗浄・還元して表面酸化膜を除去する。ここで、前記プラズマ処理としてはNH₃ガスの代わりにH₂ガス、N₂—H₂混合ガス、H₂—Ar混合ガス等を用いてもよい。

【0042】続いて、図4（b）に示すように、NH₃プラズマ処理と同一のチャンバーにより当該処理と連続した400℃以下の低温下で、第1の配線23の表面の拡散バリア（パッシベーション）となるSi₃N₄膜24を膜厚70nm程度に堆積形成する。次に、Si₃N₄膜24上にFSGからなる層間絶縁膜25、Si₃N₄膜26、FSGからなる層間絶縁膜27を膜厚700nm程度、30nm程度、700nm程度に順次形成し、更に反射防止膜28を形成する。

【0043】続いて、図4（c）に示すように、フォトリソレジスト29を塗布し、フォトリソグラフィによりフォトリソレジスト29を加工して、各第1の配線23上で開口する開孔パターン29aを形成する。

【0044】続いて、図5（a）に示すように、フォトリソレジスト29をマスクとし、Si₃N₄膜24をエッチングストッパとして、反射防止膜28、層間絶縁膜27、Si₃N₄膜26及び層間絶縁膜25をドライエッチングして、開孔パターン29aの形状に倣ったビア孔30を形成する。次に、フォトリソレジスト29を灰化処理等により除去する。

【0045】続いて、図5（b）に示すように、形成されたビア孔30の下方部位に、第1の配線23の表面酸化を防止する処置としてレジスト等からなる保護材料31を埋め込む。

【0046】続いて、図5（c）に示すように、フォトリソレジスト32を塗布し、フォトリソグラフィによりフォトリソレジスト32を加工して、各ビア孔30上で開口する配線層パターン32aを形成する。次に、フォトリソレジスト32をマスクとし、Si₃N₄膜26をエッチングストッパとして、反射防止膜28及び層間絶縁膜27をドライエッチングして、配線層パターン32aの形状に倣った第2の配線溝33を形成する。

【0047】続いて、図6(a)に示すように、フォトリソレジスト32及び保護材料31を灰化処理等により除去した後、ビア孔30の底部に残るSi₃N₄膜24及び第2の配線溝33の底部に残るSi₃N₄膜26を全面ドライエッチングにより除去する。このとき、第2の配線溝33とビア孔30とが一体となる。

【0048】続いて、図6(b)に示すように、H₂を含むプラズマ処理、ここではN₂H₄プラズマ処理を400℃以下の低温で短時間、ここでは350℃で30秒間行い、ビア孔30の底部に露出した第1の配線23の表面を洗浄する。ここで、前記プラズマ処理としてはN₂H₄ガスの代わりにH₂ガス、N₂・H₂混合ガス、H₂・Ar混合ガス等を用いてもよい。

【0049】続いて、図7(a)に示すように、Ta₂Nからなるバリアメタル膜34を膜厚25nm程度に、更にシード金属膜としてCu膜(不図示)を膜厚200nm程度にスパッタ装置により真空中で連続的に堆積形成する。次に、バリアメタル34を電極として、スクエリ法により第2の配線溝33及びビア孔30内を埋め込む膜厚、ここでは1μm程度にCu膜35を形成する。次に、Cu膜35のスクエリ形成直後に窒素雰囲気で満たされたホットプレート上で200℃以下の低温、ここでは150℃で1分間の加熱処理を行う。この処理により、後述するようにCu膜35のストレス変化及びCuのグレイン成長を促進させる。

【0050】続いて、図7(b)に示すように、グラブ法によるCu膜22の分離のため、CMP法によりCu膜35及びバリアメタル膜34を研磨して第2の配線溝33及びビア孔30内のみにCu膜35を残した後、ウェット処理により洗浄して第2の配線36を形成する。

【0051】続いて、図8(a)に示すように、H₂を含むプラズマ処理、ここではN₂H₄プラズマ処理を400℃以下の低温で短時間、ここでは350℃で30秒間行い、露出した第2の配線36の表面を洗浄して表面酸化膜を除去する。ここで、前記プラズマ処理としてはN₂H₄ガスの代わりにH₂ガス、N₂・H₂混合ガス、H₂・Ar混合ガス等を用いてもよい。次に、N₂H₄プラズマ処理と同一のチャンバールにより当該処理と連続した100℃以下の低温下で、第2の配線36の表面の拡散バリア(パッシベーション)となるSi₃N₄膜37を膜厚70nm程度に堆積形成する。更に、カバー膜としてシリコン酸化膜(SiO₂膜)38を膜厚100nm程度に、Si₃N₄膜39を膜厚300nm程度に順次形成する。

【0052】続いて、図8(b)に示すように、パッド電極を形成するためにフォトリソグラフィーを行い、フォトリソレジストをマスクにSi₃N₄膜37及びシリコン酸化膜38をドライエッチングする。次に、フォトリソレジストを除去した後、Si₃N₄膜37をドライエッチン

グして第2の配線36の表面を露出させ、H₂を含むN₂雰囲気下における100℃以下の低温下にて、最終のアニール処理を施す。これにより、パッド電極の開140を形成する。

【0053】しかる後、開口140に対するパッド電極の形成やその他の後工程を経て、多層配線が完成する。

【0054】本実施形態の多層配線の形成方法によれば、多層プロセス終了後の配線の断線による歩留まりの低下を抑制でき、ストレスマイグレーション等起因する不良の発生率を抑えて信頼性の大幅な向上に寄与する。先に示したチェーンコンタクトパターン(1、W=10、20μm、ビア孔径=0、28μm)を持つチェーン数2000個のモニターにおいて、多層プロセス終了後のビア孔の歩留まりは本実施形態と従来の形成方法との間ではほぼ100%の歩留まりとなった。また、同パターンを用いて200℃の加速条件でおこなったストレスマイグレーションの試験結果では、スクエリ後の加熱を行わないものは1年以下の寿命となったが、本例の方法では十分な寿命(少なくとも実使用条件で10年以上)が得られた。

【0055】以上説明したように、本例によれば、高い歩留まり及び信頼性を確保しつつ、短時間の製造プロセスで低抵抗の多層配線を形成することができ

【0056】(多層配線を備えた半導体装置) 具体的には、半導体基板上に半導体素子、ここではMOSトランジスタを形成し、続いて前述の各工程により多層配線を形成した一例を図9に示す。

【0057】MOSトランジスタは、通常の方法、即ち、シリコン半導体基板1上に薄いシリコン酸化膜及び所定厚の多結晶シリコン膜を形成し、これらをフォトリソグラフィー及びそれに続くドライエッチングによりパターンニングして、ゲート絶縁膜2及びゲート電極3を形成する。続いて、ゲート電極3(又はフォトリソレジスト等)をマスクとして半導体基板1と反対導電型の不純物をイオン注入し、アニール処理することにより、ソース・ドレイン4を形成する。そして、各ソース・ドレイン4と接続するようにWプラグ14を形成し、前述の各工程により多層配線を形成する。

【0058】本例によれば、高い歩留まり及び信頼性を確保しつつ、短時間の製造プロセスで低抵抗の多層配線を形成することができるため、従来では得られなかった高性能の半導体装置を実現することが可能となる。

【0059】なお、以下の諸態様も本発明を構成する。

【0060】態様1は、配線の形成方法であって、少なくとも一部が露出した前記配線表面に、H₂を含む混合ガスによるプラズマ処理を施して浄化することを特徴とする。

【0061】態様2は、前記態様1に記載の配線の形成方法であって、前記浄化に続いてプラズマ処理により前記配線上にシリコン酸化膜、前記層間絶縁膜を順次形成

することを特徴とする。

【0062】態様3は、半導体装置の製造方法であって、少なくとも前記各工程を含む一連のプロセスを経て、前記配線を形成した後、形成された前記配線と開孔を通じて電気的に接続されるように、前記一連のプロセスを所定回数繰り返して、多層配線を形成することを特徴とする。

【0063】

【発明の効果】本発明によれば、高い歩留まり及び信頼性を確保しつつ、短時間の製造プロセスで低抵抗の配線、特に多層配線を形成することが可能となり、更には当該多層配線を備えた高性能の半導体装置を実現することができる。

【図面の簡単な説明】

【図1】Cuメッキ膜形成後の熱処理によるストレス変化を示す特性図である。

【図2】本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図3】図2に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図4】図3に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図5】図4に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図6】図5に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図7】図6に引き続き、本実施形態による多層配線の

形成方法を工程順に示す概略断面図である。

【図8】図7に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図9】本実施形態により製造されたMOSトランジスタを示す概略断面図である。

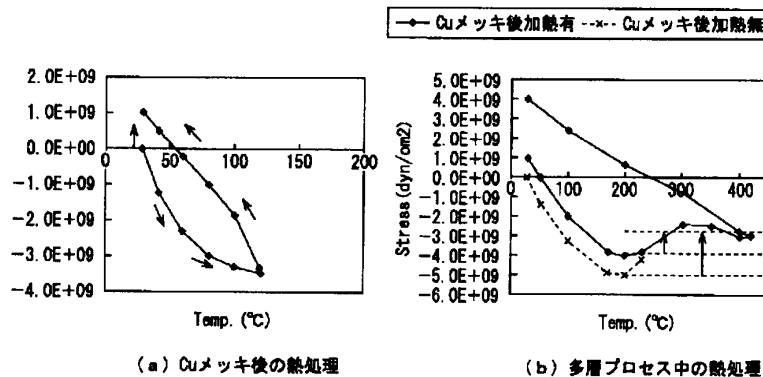
【図10】従来の配線の形成方法によるチェーンコンタクトの歩留まりを示す特性図である。

【図11】従来の配線の形成方法によるチェーンコンタクトのワイブルプロットを示す特性図である。

【符号の説明】

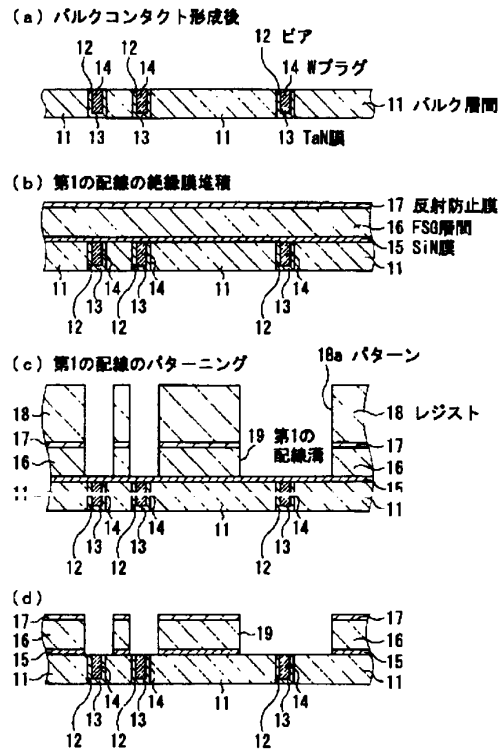
- 1 シリコン半導体基板
- 2 ゲート絶縁膜
- 3 ゲート電極
- 4 ソース・ドレイン
- 11, 16, 25, 27, 38 層間絶縁膜
- 14 Wプラグ
- 15, 24, 26, 37, 39 Si₃N₄膜
- 19 第1の配線溝
- 20, 34 バリウム金属膜
- 21 シートCu膜
- 22, 35 Cu膜
- 23 第1の配線
- 30 ピア孔
- 31 保護材料
- 33 第2の配線溝
- 36 第2の配線

【図1】

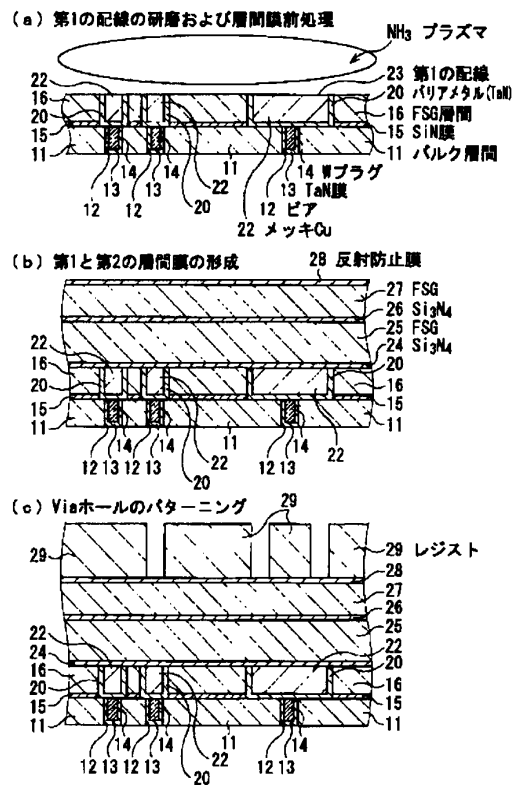


Cuメッキ後の熱処理によるCuのストレス変化の例

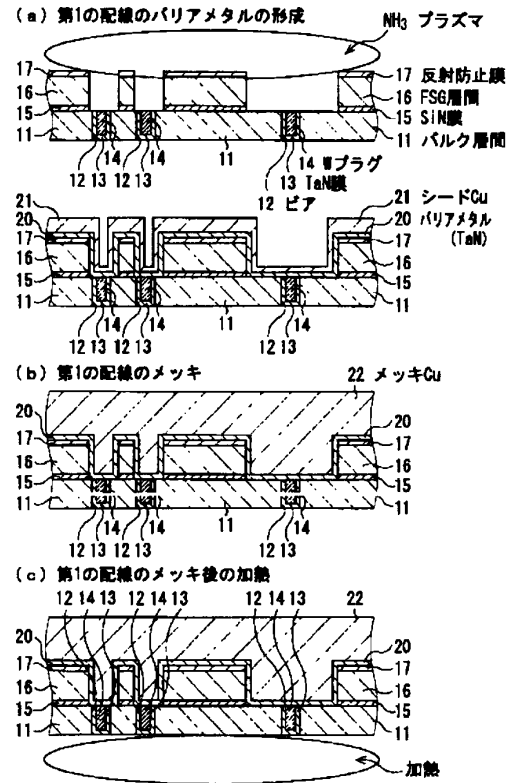
【図2】



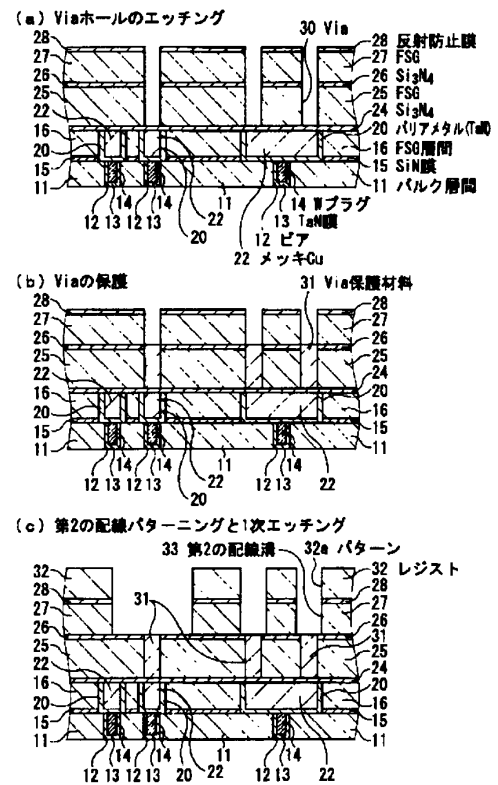
【図4】



【図3】

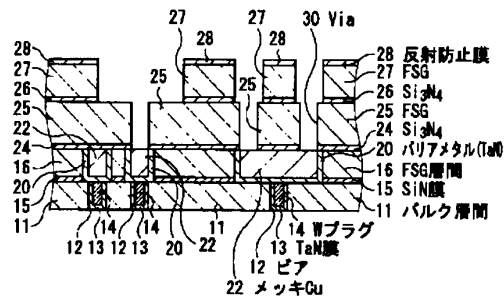


【図5】

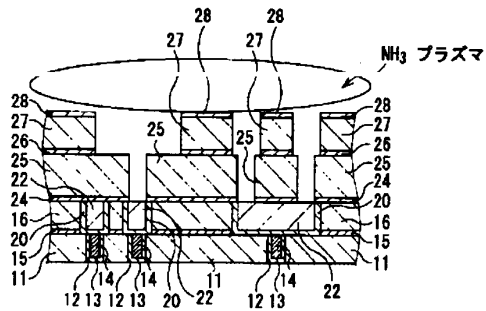


【図6】

(a) 第2の配線2次エッチング

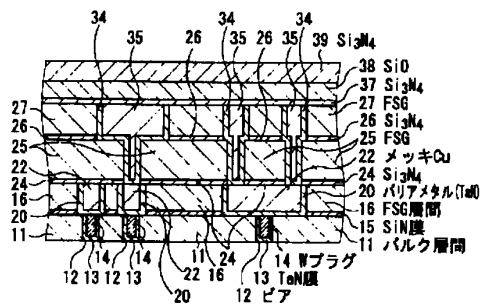


(b) 第2の配線のバリアメタルの前処理

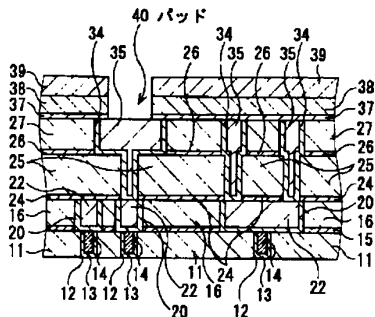


【図8】

(a) カバー膜の形成

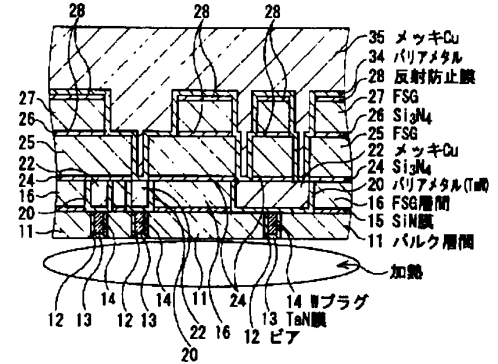


(b) パッド上の開口

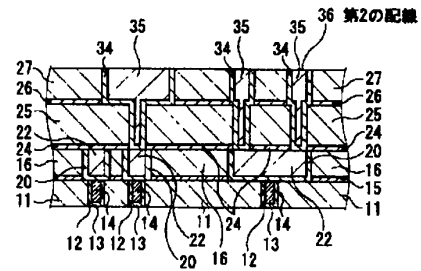


【図7】

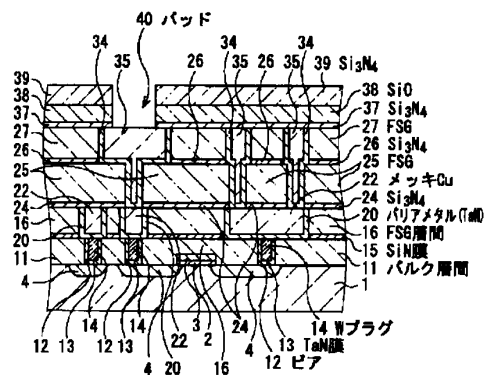
(a) 第2の配線のメッキ後の加熱



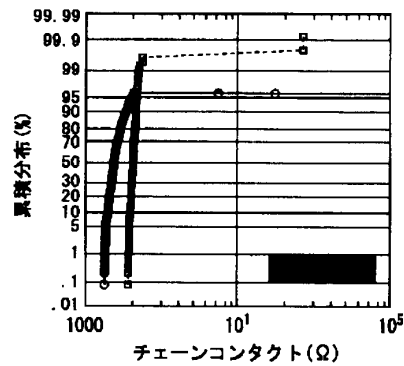
(b) 第2の配線の研磨



【図9】

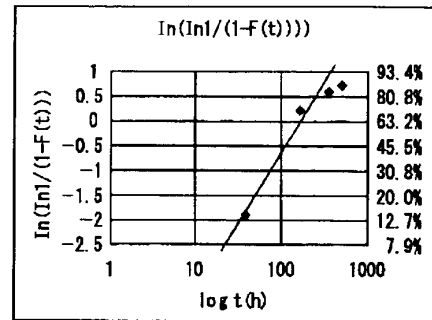


【図10】



従来方法による構造の違いによるチェーンコンタクトの歩留まりの違い。

【図11】



従来方法によるW/L=20/10μmチェーンコンタクトの200℃放置試験のワイブ

フロントページの続き

(72)発明者 細田 勉
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5F033 HH11 HH32 JJ19 JJ33 KK01
KK11 KK32 MM02 MM12 MM13
NN06 NN07 PP15 PP27 PP33
QQ09 QQ10 QQ11 QQ21 QQ25
QQ37 QQ48 QQ73 QQ92 QQ98
RR06 RR11 TT02 VV16 WW03
XX02 XX06